

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000003232 A

(43)Date of publication of application: 15.01.2000

(21)Application number: 1019980024427

(22)Date of filing: 26.06.1998

(71)Applicant:

HYUNDAI ELECTRONICS
IND. CO., LTD.

(72)Inventor:

AHN, GI CHEOL
LEE, SANG IK
SO, HONG SEON

(51)Int. Cl.

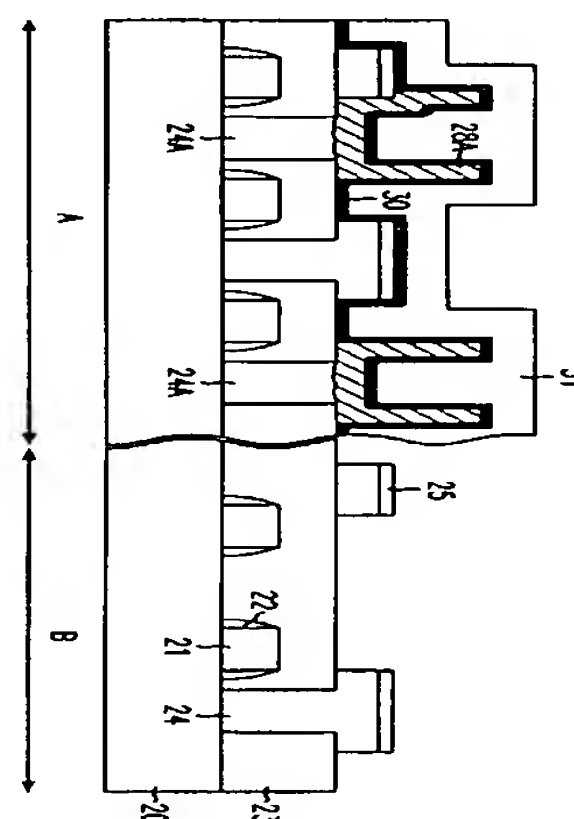
H01L 21/027

(54) METHOD OF FABRICATING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: The method can prevent that a polysilicon film remains on the bottom of a sacrificial film(27) formed to fill an open aperture and acts as a pollution source, in the process of forming a bottom electrode of a capacitor by forming the open aperture.

CONSTITUTION: The method can solve the problem resulting from that a burying oxide film remains in a peripheral circuit region by omitting the process of forming the burying oxide film to bury an open aperture, by comprising the steps of: forming the open aperture to form a bottom electrode(28A) pattern of a capacitor in a cell region; forming a polysilicon film(28) for bottom electrode on the whole structure; removing the polysilicon film for bottom electrode formed on the peripheral circuit region by selective etching process; and forming the bottom electrode pattern by polishing the polysilicon film for bottom electrode on the cell region.



COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20010719)

Patent registration number (1003120270000)

Date of registration (20011004)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0003232
H01L 21/027 (43) 공개일자 2000년01월15일

(21) 출원번호 10-1998-0024427
(22) 출원일자 1998년06월26일
(71) 출원인 현대전자산업 주식회사 김영환
(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1 안기철
경기도 이천시 부발읍 신하리 481-1 삼익아파트102동 1103호 이상익
경기도 이천시 대월면 사동리 441-1 현대전자아파트 109동 308호 소홍선
(74) 대리인 서울특별시 관악구 신림5동 1417-23 6동 9반 박해천, 원석희

심사청구 : 있음

(54) 반도체 소자 제조 방법

요약

본 발명은 개구부를 형성하여 캐패시터의 하부전극을 형성하는 공정에서, 개구부를 채우기 위하여 형성된 희생산화막 하부에 폴리실리콘막이 잔류하여 오염원으로 작용하는 것을 방지할 수 있는 반도체 소자 제조 방법에 관한 것으로, 셀영역에 캐패시터의 하부전극 패턴 형성을 위한 개구부를 형성하고, 전체 구조 상에 하부전극용 폴리실리콘막을 형성한 다음, 선택적으로 식각공정을 실시하여 주변회로영역에 형성된 하부전극용 폴리실리콘막을 제거하고, 셀영역의 하부전극용 폴리실리콘막을 연마하여 하부전극 패턴을 형성함으로써 개구부 매립을 위한 매립용 산화막 형성 공정을 생략할 수 있어 주변회로영역에 매립용 산화막이 잔류됨으로 인한 문제점을 해결할 수 있다.

도표도

도2b

영세서

도면의 간단한 설명

도1a 및 도1b는 종래 기술에 따른 반도체 소자 제조 공정 단면도
도2a 내지 도2d는 본 발명의 일실시예에 따른 반도체 소자 제조 공정 단면도
* 도면의 주요 부분에 대한 도면 부호의 설명

- | | |
|--------------|-------------|
| 20: 반도체 기판 | 21: 게이트 전극 |
| 22: 절연막 스페이서 | 23: 층간절연막 |
| 24: 비트라인 | 24A: 콘택 플러그 |
| 25: 보호산화막 | 26: 식각정지막 |
| 27: 희생산화막 | 28: 폴리실리콘막 |
| 28A: 하부전극 | 29: 식각마스크 |
| 30: 유전막 | 31: 상부전극 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조 분야에 관한 것으로, 특히 개구부를 형성하여 캐패시터의 하부전극을 형성하는 공정에서, 개구부를 채우기 위하여 형성된 희생산화막 하부에 폴리실리콘막이 잔류하여 오염원으로 작용

용하는 것을 방지할 수 있는, 반도체 소자 제조 방법에 관한 것이다.

도 1a 및 도 1b는 종래 기술에 따른 반도체 소자 제조 공정 단면도이다.

도 1a는 트랜지스터가 형성된 반도체 기판(10) 상의 셀(cell) 영역(A) 및 주변회로영역(B)에 BPSG(borophosphosilicate glass)막으로 층간절연막(13)을 형성하고 화학적 기계적 연마법으로 평탄화시킨 다음, 층간절연막(13) 내에 형성된 제1 콘택홀(C₁)을 통하여 반도체 기판(10)과 연결되는 비트라인(14)을 형성한 후, 전체 구조 상에 캐패시터의 하부전극 형성을 위한 회생산화막(17)으로 PSG(phosphosilicate glass)막을 증착하고, 회생산화막(17) 및 식각정지막(16)을 선택적으로 제거하여 층간절연막(13) 내의 제2 콘택홀(C₂)에 매립된 콘택 플러그(14A)를 노출시키는 개구부를 형성한 다음, 개구부 바닥 및 측벽을 포함한 전체 구조 표면에 폴리실리콘막(18)을 증착하고, 상기 개구부를 매립하기 위하여 전체 구조 상에 매립용 산화막(19)을 형성한 것을 보이는 단면도이다. 도면에서 미설명 도면 부호 11은 게이트 전극, 12는 절연막 스페이서, 15는 보호산화막, 16은 식각정지막, t₁은 상대적으로 단차가 크지 않은 부분에 형성되는 매립용 산화막의 두께, t₂는 상대적으로 단차가 큰 부분에 형성되는 매립용 산화막의 두께를 각각 나타낸다.

상대적으로 단차가 큰 부분에 형성되는 매립용 회생산화막(17)의 두께(t₂)는 상대적으로 단차가 크지 않은 부분에 형성되는 매립용 회생산화막(17)의 두께(t₁) 보다 두꺼우며, 주변회로영역에 형성된 비트라인(14) 간의 간격이 회생산화막(17), 폴리실리콘막(18) 및 매립용 회생산화막(19)의 두께의 2배 보다 작을 때 주변회로영역(B)의 비트라인과 비트라인이 이루는 단차 부분에 매립용 산화막(17)이 비교적 두껍게 형성된다.

도 1b는 매립용 산화막(19)을 전면식각하여 매립용 산화막(19)을 개구부 내부에만 잔류시킨 상태를 보이는 단면도이다.

이전의 공정에서 매립용 산화막(19)이 일정한 두께로 형성되지 않고, 단차에 따라 다른 두께로 형성되기 때문에 셀영역(A) 보다 상대적으로 단차가 커서 매립용 산화막(19)이 두껍게 형성된 주변회로영역(B)에서는 전면식각 후 매립용 산화막이 잔류하게 된다.

이후의 공정에서 폴리실리콘막(18)을 선택적으로 식각하여 셀영역(A)에 캐패시터의 하부전극 패턴을 형성한다. 이때, 주변회로영역(B)에서는 폴리실리콘막(18)이 완전히 제거되어야 하지만 폴리실리콘막(18) 상에 잔류하는 매립용 산화막(19A)이 식각정지막으로 작용하여 폴리실리콘막(18)이 완전히 식각되지 못하고 남아서 회생산화막(17) 제거를 위한 습식식각 공정에서 오염원으로 작용할 뿐만 아니라 후속의 콘택홀 형성 공정을 어렵게 하는 문제점이 있다.

매립용 산화막(19)을 전면식각하는 과정에서 과도식각을 실시하여 매립용 산화막(19)이 주변회로영역(B)에 잔류되는 것을 방지할 수도 있으나, 개구부 내에 채워진 매립용 산화막(19)의 손상으로 개구부 측벽에 형성된 폴리실리콘막(18)까지 손실되는 문제점이 있다. 매립용 산화막(19)을 Q₄-TEOS (tetra-ethyl - ortho-silicate)계 PSG막으로 형성할 경우에는 BPSG막으로 형성할 경우보다 상기 개구부 내에 보이드(void)(v)의 발생 가능성이 높으며, 이와 같이 개구부 내에 보이드가 있을 경우에는 폴리실리콘막(18)의 손상 정도가 더욱 커지는 문제점이 있다.

본 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 개구부를 형성하여 캐패시터의 하부전극을 형성하는 공정에서, 개구부를 채우기 위하여 형성된 회생산화막 하부에 폴리실리콘막이 잔류하여 오염원으로 작용하는 것을 방지할 수 있는 반도체 소자 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 콘택 플러그(contact plug)가 형성된 반도체 기판 상의 셀(cell) 영역 및 주변회로영역에 회생막을 형성하고, 상기 회생막을 선택적으로 제거하여 상기 콘택 플러그를 노출시키는 개구부를 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 캐패시터의 하부전극 형성을 위한 전도막을 형성하는 제2 단계; 상기 셀영역에 식각마스크를 형성하여 상기 주변회로영역상의 상기 전도막을 노출시키고, 상기 노출된 주변회로영역 상의 상기 전도막을 제거한 후, 상기 식각마스크를 제거하는 제3 단계; 상기 셀영역의 상기 회생막이 노출될 때까지 상기 전도막을 연마하는 제4 단계; 상기 회생막을 제거하여 캐패시터의 하부전극을 노출시키는 제5 단계; 및 상기 캐패시터의 하부전극 상에 유전막 및 캐패시터의 상부전극을 형성하는 제6 단계를 포함하는 반도체 소자 제조 방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 반도체 소자 제조 공정 단면도이다.

도 2a는 트랜지스터가 형성된 반도체 기판(20) 상의 셀영역(A) 및 주변회로영역(B)에 BPSG(borophosphosilicate glass)막으로 층간절연막(23)을 형성하고 화학적 기계적 연마법으로 평탄화시킨 다음, 층간절연막(23) 내에 형성된 제1 콘택홀(C₁)을 통하여 반도체 기판(20)과 연결되는 비트라인(24)을 형성한 후, 전체 구조 상에 식각정지막(16)으로 절화막을 형성하고, 식각정지막(26) 상에 캐패시터의 하부전극 형성을 위한 회생산화막(27)으로 PSG(phosphosilicate glass)막을 증착하고, 회생산화막(27) 및 식각정지막(26)을 선택적으로 제거하여 층간절연막(23) 내의 제2 콘택홀(C₂)에 매립된 콘택 플러그(24A)를 노출시키는 개구부를 형성한 다음, 개구부 바닥 및 측벽을 포함한 전체 구조 표면에 폴리실리콘막(28)을 증착하고, 셀영역(A) 상에만 식각마스크를 형성하여 주변회로영역(B)을 노출시킨 상태를

보이고 있다. 도면에서 미설명 도면 부호 21은 게이트 전극, 22는 절연막 스페이서, 25는 보호산화막을 각각 나타낸다.

상기 회생산화막(27)은 후속의 습식식각 공정에서 용이하게 제거되도록 인(P)이 6 wt% 내지 10 wt%로 함유된 $\text{O}_4\text{-TEOS}$ (tetra-ethyl -ortho-silicate)계 PSG막으로 형성한다. 또한, 상기 식각정지막(26)을 이루는 질화막은 500 Å 내지 1000 Å 두께로 형성하고, 응력을 완화시키기 위해 질화막 형성 전 90 Å 내지 110 Å 두께의 산화막을 형성하기도 한다.

도2b는 상기 식각마스크(29) 형성 후 주변회로영역(B)에 노출된 폴리실리콘막(28)을 전면식각한 다음, 상기 식각마스크(29)를 제거하여 폴리실리콘막(28)이 셀영역(A)에만 남아 있는 것을 보이고 있다.

도2c는 폴리실리콘막(28)을 화학적 기계적 연마하여 상기 개구부 측벽 및 바닥에만 폴리실리콘막(28)이 남도록 함으로써 캐패시터의 하부전극(28A)을 형성한 상태를 보이고 있다. 이때, 회생산화막(27)은 제거되지 않고 폴리실리콘막(28)만이 제거되는 조건으로 즉, 폴리실리콘의 연마 속도는 빠르고 산화막의 연마 속도는 느린 조건에서 연마 공정을 실시하여 회생산화막(27)이 연마정지막으로 작용하도록 한다.

도2d는 상기 회생산화막을 HF 또는 완충산화식각제(buffered oxide etchant)를 사용한 습식식각으로 제거하여 식각정지막(26)을 노출시키고, 식각정지막(26)을 전면식각하여 제거한 다음, 하부전극(28A) 상에 유전막(30) 및 상부전극(31)을 형성한 상태를 보이고 있다. 상기 유전막(30)은 산화막 및 질화막, 또는 탄탈륨산화막으로 형성한다.

전술한 바와 같이 이루어지는 본 발명은, 셀영역에 캐패시터의 하부전극 패턴 형성을 위한 개구부를 형성하고, 전체 구조 상에 하부전극용 폴리실리콘막을 형성한 다음, 선택적으로 식각공정을 실시하여 주변회로영역에 형성된 하부전극용 폴리실리콘막을 제거하고, 셀영역의 하부전극용 폴리실리콘막을 연마하여 하부전극 패턴을 형성함으로써 개구부 매립을 위한 매립용 산화막 형성 공정을 생략할 수 있어 주변회로영역에 매립용 산화막이 잔류됨으로 인한 문제점을 해결할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 개구부 내에 캐패시터의 하부전극 패턴 형성을 위한 매립용 산화막 형성 과정을 생략하여, 단차가 상대적으로 큰 주변회로영역에 매립용 산화막이 완전히 제거되지 않고 남음으로 인하여 매립용 산화막 하부에 폴리실리콘막이 잔류하는 문제를 근본적으로 해결할 수 있어 오염의 발생 및 공정의 복잡화를 방지할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 소자 제조 방법에 있어서,

콘택 플러그(contact plug)가 형성된 반도체 기판 상의 셀(cell) 영역 및 주변회로영역에 회생막을 형성하고, 상기 회생막을 선택적으로 제거하여 상기 콘택 플러그를 노출시키는 개구부를 형성하는 제1 단계;
상기 제1 단계가 완료된 전체 구조 상에 캐패시터의 하부전극 형성을 위한 전도막을 형성하는 제2 단계;
상기 셀영역에 식각마스크를 형성하여 상기 주변회로영역 상의 상기 전도막을 노출시키고, 상기 노출된 주변회로영역 상의 상기 전도막을 제거한 후, 상기 식각마스크를 제거하는 제3 단계;

상기 셀영역의 상기 회생막이 노출될 때까지 상기 전도막을 연마하는 제4 단계;

상기 회생막을 제거하여 캐패시터의 하부전극을 노출시키는 제5 단계; 및

상기 캐패시터의 하부전극 상에 유전막 및 캐패시터의 상부전극을 형성하는 제6 단계를 포함하는 반도체 소자 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 회생막은 $\text{O}_4\text{-TEOS}$ (tetra-ethyl -ortho-silicate)계 PSG(phosphosilicate glass)막으로 형성되고, 상기 전도막은 폴리실리콘막으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 3. 제 2 항에 있어서,

상기 PSG막은 인(P)이 6 wt% 내지 10 wt%로 함유된 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4. 제 1 항 또는 제 2 항에 있어서,

상기 제4 단계는,

상기 화학적 기계적 연마법으로 실시되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5. 제 2 항 또는 제 3 항에 있어서,

상기 제5 단계에서 상기 회생막은,

HF 또는 BOE(buffered oxide etchant) 용액을 이용한 습식식각으로 제거되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6. 제 5 항에 있어서,

상기 제1 단계에서,

상기 반도체 기판 상의 셀영역 및 주변회로영역에 식각정지막 및 희생막을 형성하고, 상기 희생막 및 식각정지막을 선택적으로 제거하여 상기 콘택 플러그를 노출시키는 개구부를 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7. 제 6 항에 있어서,

상기 제5 단계 후,

상기 식각정지막을 전면식각하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

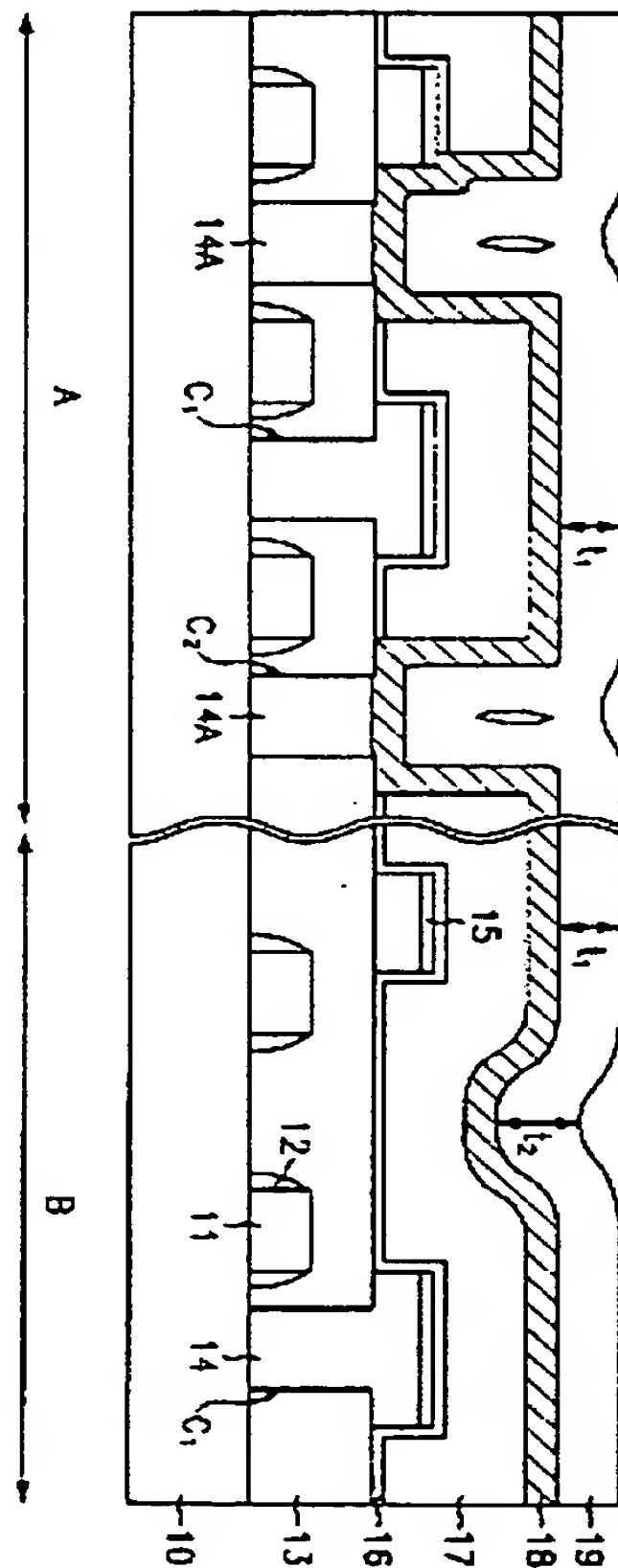
청구항 8. 제 6 항에 있어서,

상기 식각정지막은,

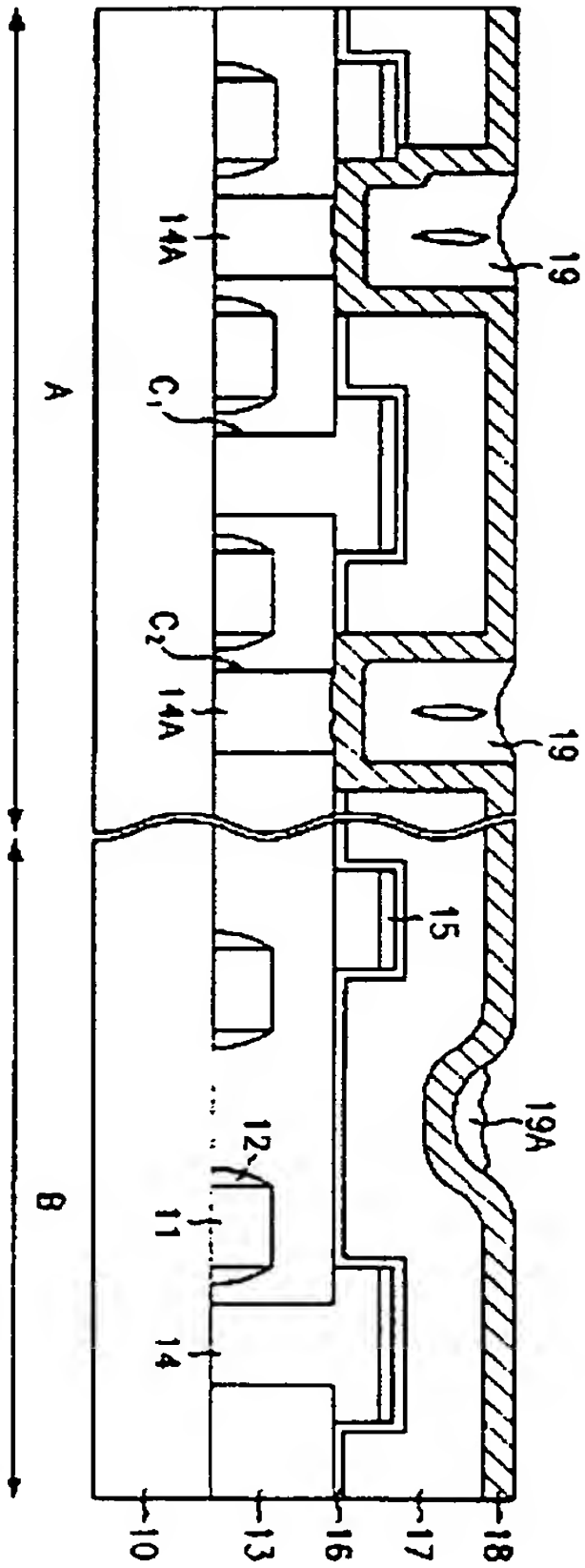
상기 반도체 기판 상에 차례로 형성된 90 Å 내지 100 Å 두께의 산화막 및 500 Å 내지 1000 Å 두께의 질화막인 것을 특징으로 하는 반도체 소자 제조 방법.

도면

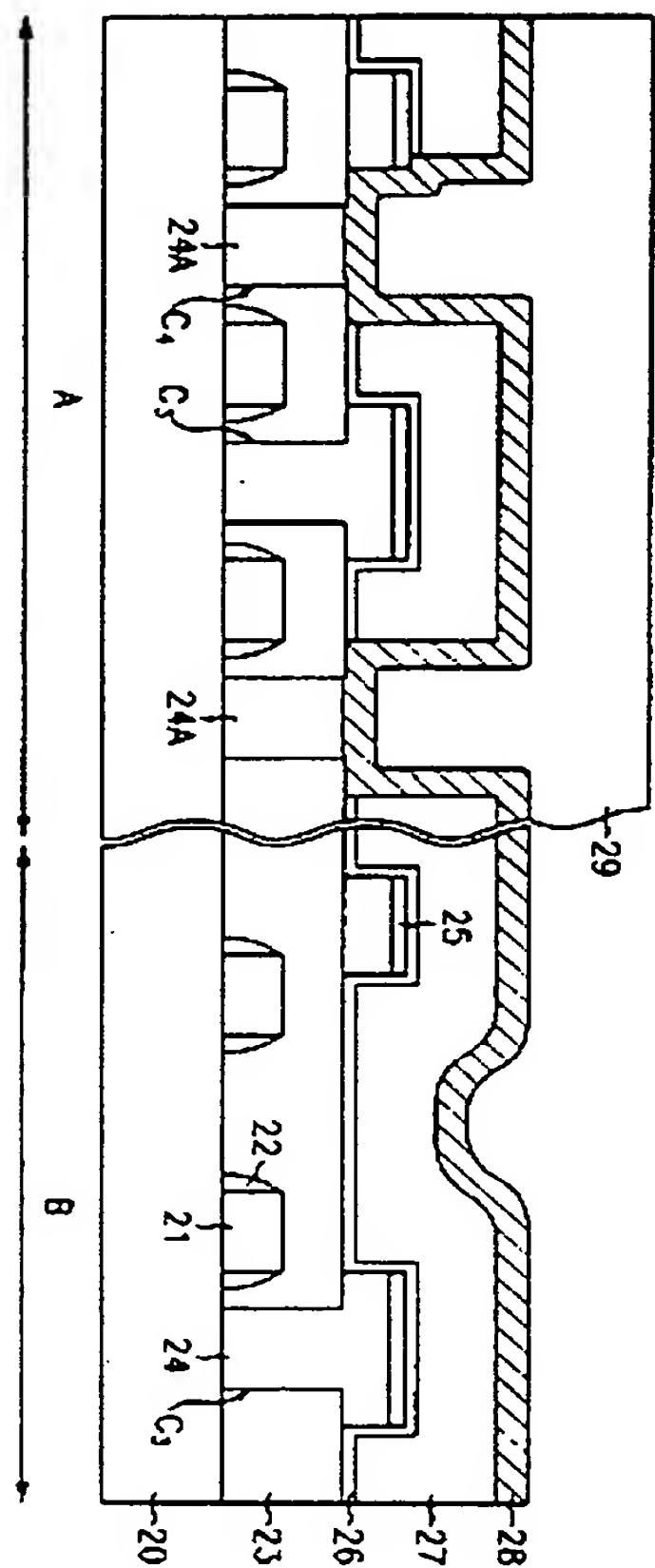
도면 1a



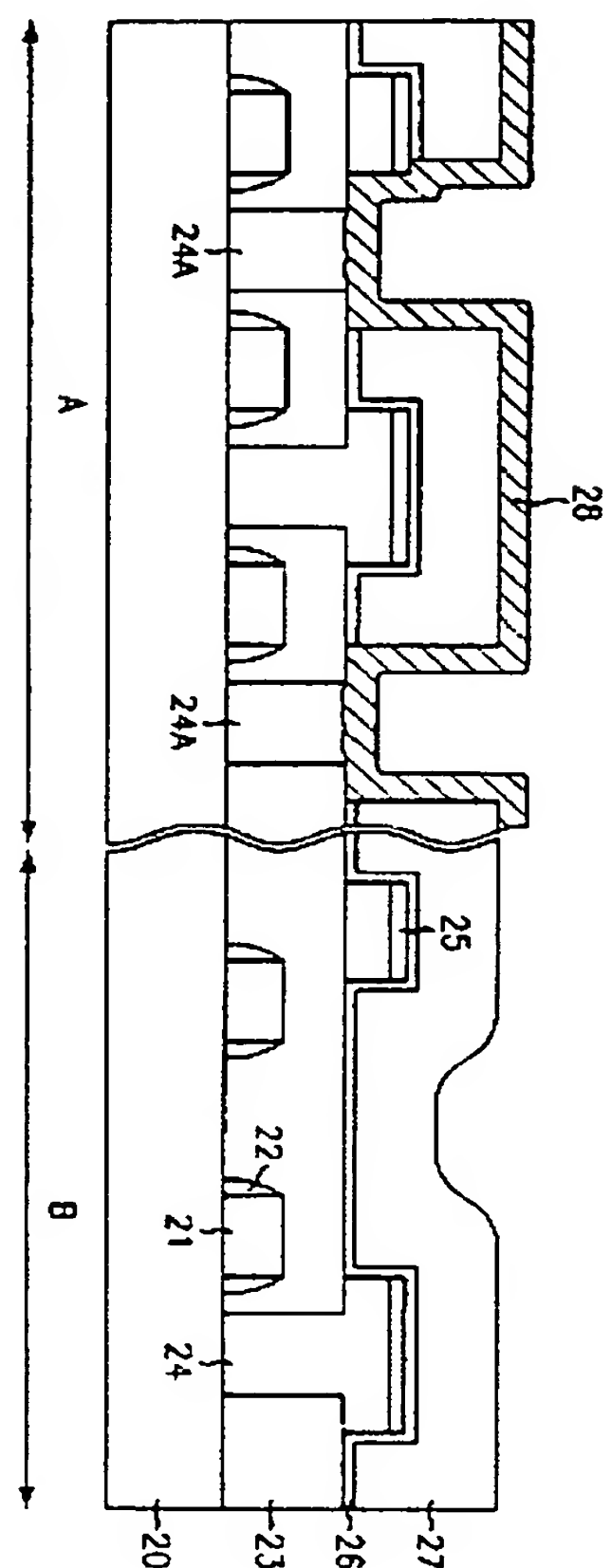
도면 1b



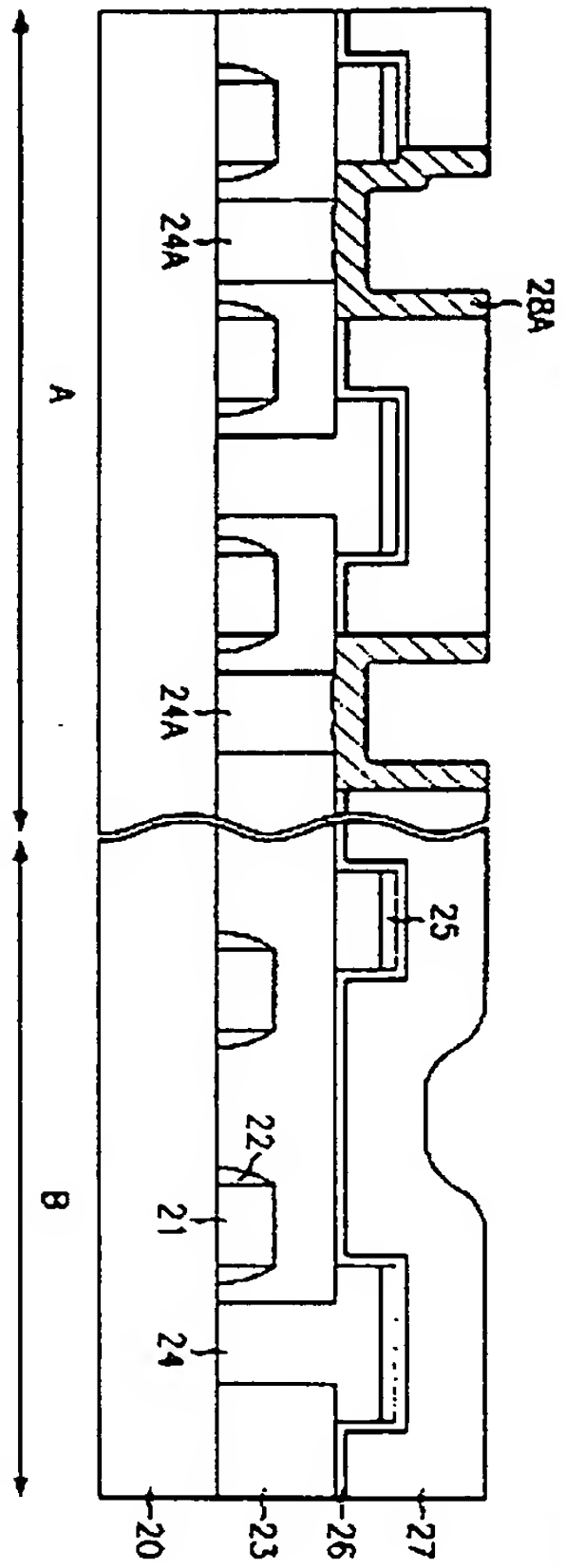
도면 2a



도면 2b



5025



도면 5

